

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-112118

(43)Date of publication of application : 04.07.1983

(51)Int.Cl.

G06F 3/00

G06F 1/00

G06F 9/06

G06F 13/00

(21)Application number : 56-209065

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.12.1981

(72)Inventor : MOROSAWA KENJI

YOSHIDA SHUJI

HATA MASAHIRO

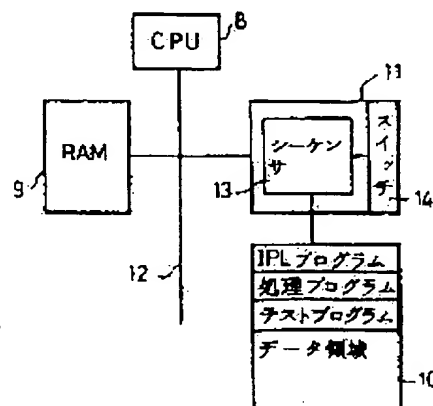
OKAMURA HARUHIKO

## (54) PROGRAM LOADING PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To reduce the hardware quantity and the packing space and to eliminate a change of a program, by providing a switch whose contents can be read by an auxiliary storage controller and performing a loading action.

CONSTITUTION: When a computer system is started with the application of a power supply, etc., an auxiliary storage controller 11 stops the actuation of a central processor 8. Then a sequencer 13 in the controller 11 reads the contents of a switch 14 and then transfers a program which is designated by the switch 14 onto an RAM 9 which serves as a main storage device. When this transfer is over, the controller 11 actuates the processor 8 and then waits for an access which is given from the processor 8.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**BEST AVAILABLE COPY**

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58-112118

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 昭和58年(1983)7月4日

G 06 F 3/00

1/00

1 0 3

7737-5B

6913-5B

6745-5B

7361-5B

発明の数 1

審査請求 有

9/06

13/00

(全 4 頁)

⑮ プログラムローディング処理方式

⑯ 発明者 秦昌弘

川崎市中原区上小田中1015番地

富士通株式会社内

⑰ 特 願 昭56-209065

⑱ 出 願 昭56(1981)12月25日

⑲ 発明者 岡村治彦

川崎市中原区上小田中1015番地

富士通株式会社内

⑳ 発明者 諸沢健司

川崎市中原区上小田中1015番地

富士通株式会社内

㉑ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

㉒ 発明者 吉田修二

川崎市中原区上小田中1015番地

富士通株式会社内

㉓ 代理人 弁理士 青木朗 外3名

明 細 書

1. 発明の名称

プログラムローディング処理方式

2. 特許請求の範囲

システム起動時に補助記憶装置内の複数の処理プログラムの内から必要とする処理プログラムを主記憶装置にローディングするプログラムローディング処理方式において、該補助記憶装置からの情報の読み取り動作の制御を行なう補助記憶コントローラが読み取り可能な情報設定用スイッチを用い、該情報設定用スイッチの設定内容に応じて該補助記憶コントローラが必要とする処理プログラムをローディングすることを特徴とするプログラムローディング処理方式。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は、プログラムローディング処理方式に関し、例えばマイクロコンピュータ等の電源投入後等のシステム起動時に補助記憶装置から必要な処理プログラムを主記憶装置にローディングする

ための処理方式に関する。

(2) 技術的背景

一般に、コンピュータシステムにおいては該システムの電源投入後あるいは何らかのプログラムの実行前に、補助記憶装置例えばバブルメモリ装置あるいは磁気テープ装置等から主記憶装置に処理プログラムをローディングし、しかる後該処理プログラムを実行する。また、補助記憶装置には一般に複数の処理プログラムが格納されており、これらの処理プログラムの内から必要なものを選択してローディングが行なわれる。したがって、コンピュータシステムには補助記憶装置内の複数の処理プログラムの内から必要なものを選択してローディングするための選択手段およびローディング手段を設ける必要があるが、これらの手段は通常のプログラム実行時には使用されないため、ハードウェア量が少なくかつ使用するメモリの記憶領域が少ないこと、および種々の補助記憶装置に容易に対応できること等が要求される。

(3) 従来技術と問題点

第1図は、従来形のプログラムローディング処理方式を行なうためのローディング手段等を備えるコンピュータシステムの1例を示す。同図において、1は例えばマイクロプロセッサで構成される中央処理装置、2はランダムアクセスメモリ（以下RAMと称する）、3はイニシャルプログラムロード起動プログラム（以下IPL起動プログラムと称する）を内蔵するリードオンリメモリ（以下ROMと称する）、4は外部スイッチ、5は補助記憶装置、6は補助記憶コントローラ、そして7はバス線である。

第1図のシステムにおいては、電源投入時等に中央処理装置1がROM3内のIPL起動プログラムを実行し、補助記憶コントローラ6を介して補助記憶装置5内のイニシャルロードプログラムをRAM2にローディングした後、中央処理装置1が読み取ることができる外部スイッチ4、例えばコンソール上のエントリークーススイッチ等、の設定内容に従ってイニシャルロードプログラムによって補助記憶装置5から必要とする処理プログラム

をローディングしていた。あるいは、中央処理装置1がROM内のIPL起動プログラムと前記外部スイッチ4によって直接必要とする処理プログラムをRAM2上にローディングしていた。

しかしながら、前記従来形においては、主記憶装置として使用されるRAM2が安価で大容量の半導体ダイナミック・ランダムアクセス・メモリであり、このメモリは電源が供給されない場合にその内容が破棄される揮発メモリであるため、IPL起動プログラムを格納するための不揮発性のROMが必要であり、かつ中央処理装置1からアクセスできるアドレス空間が必要であるという不都合があった。したがって、この場合RAM2と共通のアドレス空間にROMのアドレスを割付けるためのデコード等の回路が必要となりかつROMの実装スペースも必要となる。さらに前記従来形においては、補助記憶装置の種類に応じてそのアクセス方法が異なるため、その種類に応じてIPL起動プログラムすなわちROMの内容を変更する必要があるという不都合があった。

#### (4) 発明の目的

本発明の目的は、前述の従来形における問題点にかんがみ、プログラムローディング処理方式において、補助記憶コントローラが読取り可能なスイッチを設け補助記憶コントローラにローディング動作を行なわしめるという構想にもとづき、IPL起動プログラムを記憶するROMを不要としてコンピュータシステムのハードウェア量および実

ントローラが必要とする処理プログラムをローディングすることを特徴とするプログラムローディング処理方式を提供することによって達成される。

#### (5) 発明の実施例

以下図面を用いた本発明の実施例を説明する。第2図は、本発明の方式を実施するためのコンピュータシステムの1例を概略的に示す。同図において、8は中央処理装置、9は主記憶装置として

1例として、スイッチ4としてスイッチ1およびスイッチ0があり、補助記憶装置10内には第2図に示すようにIPLプログラム、処理プログラムおよびテストプログラムの3種のプログラムが予め格納されているものとする。この場合、各スイッチ1およびスイッチ0と補助記憶装置10内の各プログラムとの対応は例えば第3図のように定めることができる。

このようなコンピュータシステムにおいて、電源投入等により該コンピュータシステムが起動されると、補助記憶コントローラ11は中央処理装置8を停止状態にする。次に、補助記憶コントローラ内のシーケンサ13はスイッチ1およびスイッチ0の内容を読み取り、第3図の対応関係に従って各スイッチによって指定されたプログラムを主記憶装置であるRAM9上に転送する。以上の動作が終了した時点で、補助記憶コントローラは中央処理装置を実行状態にし、補助記憶コントローラ自体は中央処理装置からのアクセス待ち状態となる。

プログラムをレジスタ135および送受信回路136を介して主記憶装置にローディングする。

#### (7) 発明の効果

したがって、本発明によれば、中央処理装置のアドレス空間にはRAMのみ配置すればよくIPL起動プログラムを記憶するためのROMが不要であり、補助記憶コントローラ内のROMの容量を若干増加するのみでよいから、コンピュータシステムのハードウェア量および実装スペースを減少させることができる。また、補助記憶コントローラごとローディング機能を持たせることにより、補助記憶装置の種類に応じてIPL起動プログラムの内容変更を行なう必要がない。

#### 4. 図面の簡単な説明

第1図は、従来形的方式を実行するために使用されるコンピュータシステムを示すブロック回路図、

第2図は、本発明の1実施例に係る方式を行なうために使用されるコンピュータシステムを示す概略的ブロック回路図、

第4図は、上述の補助記憶コントローラ内のシーケンサの概略の構成を示す。同図において、131はマイクロプロセッサ、132はスイッチ14からの情報を一時記憶するレジスタ、133はプログラム記憶用ROM、134は作業用等のRAM、135は補助記憶装置からの読み取り情報等を一時記憶するレジスタ、136は前記コンピュータシステムのバス線12とシーケンサ13との間の情報の授受を行なうための送受信回路である。

第4図の回路においては、ROM133にはマイクロプロセッサ131が、中央処理装置8からのコマンド等に応じて補助記憶装置における情報の読み書き等を行なうために通常の補助記憶コントローラとして必要な動作を行なうプログラムの他に、前述のローディング動作を行なうためのプログラムが格納されている。したがって、電源投入時等のシステム起動時にマイクロプロセッサ131がスイッチ14の設定内容に応じて補助記憶装置10内の対応プログラムの番地をアクセスし、必要な

第3図は、第2図のシステムにおけるスイッチとローディング対象プログラムとの対応を示す説明図、そして

第4図は、第2図のシステムに使用されているシーケンサの構成例を示すブロック回路図である。

1, 8…中央処理装置、2, 9, 134…ランダムアクセスメモリ、3, 133…リードオンリメモリ、4, 14…スイッチ、5, 10…補助記憶装置、6, 11…補助記憶コントローラ、7, 12…バス線、13…シーケンサ、131…マイクロプロセッサ、132, 135…レジスタ、136…送受信回路。

特許出願人

富士通株式会社

特許出願人

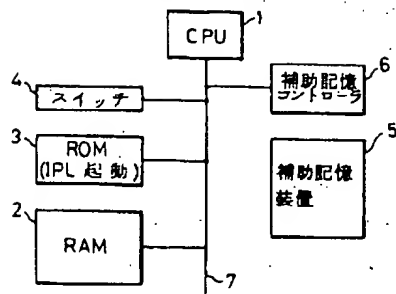
弁護士 青木 明

弁護士 西館 和之

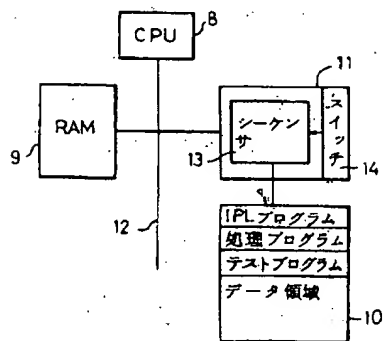
弁護士 内田 幸男

弁護士 山口 昭之

第 1 図



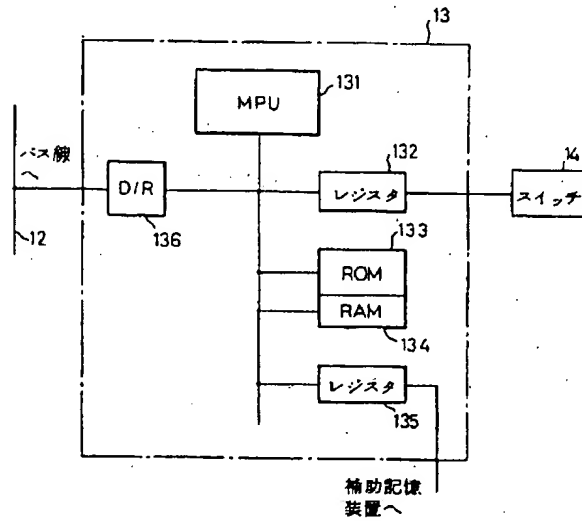
第 2 図



第 3 図

スイッチ1	スイッチ0	ローディング対象プログラム
0	0	なし
0	1	IPLプログラムをローディング
1	0	処理プログラムをローディング
1	1	テストプログラムをローディング

第 4 図



BEST AVAILABLE COPY